

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月23日

出 願 番 号

Application Number:

平成11年特許願第076992号

出 願 人

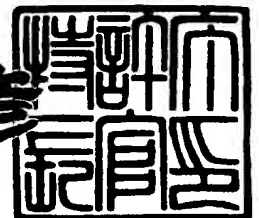
Applicant(s):

株式会社半導体エネルギー研究所

2000年 1月14日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3093359

【書類名】 特許願

【整理番号】 P004126-01

【提出日】 平成11年 3月23日

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 早川 雅彦

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 坂間 光範

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 鳥海 聡志

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】 薄膜トランジスタを有する半導体装置であって、

基板上の酸窒化シリコン膜と、前記酸窒化シリコン膜上の半導体膜とを有し、
前記酸窒化シリコン膜は Si の濃度に対する N の濃度比が 0.3 以上 1.6 以下であることを特徴とする半導体装置。

【請求項 2】 薄膜トランジスタを有する半導体装置であって、

基板上の酸窒化シリコン膜と、前記酸窒化シリコン膜上の半導体膜とを有し、
前記酸窒化シリコン膜は Si の濃度に対する O の濃度比が 0.1 以上 1.7 以下であることを特徴とする半導体装置。

【請求項 3】 薄膜トランジスタを有する半導体装置であって、

酸窒化シリコン層と Si、O を含む絶縁層とを少なくとも有する基板上の絶縁膜と、

前記絶縁膜上の半導体膜とを有し、

前記酸窒化シリコン層において、Si の濃度に対する N の濃度比は 0.3 以上 1.6 以下であることを特徴とする半導体装置。

【請求項 4】 薄膜トランジスタを有する半導体装置であって、

酸窒化シリコン層と Si、O を含む絶縁層とを少なくとも有する基板上の絶縁膜と、

前記絶縁膜上の非単結晶半導体膜と、

を有し、

前記酸窒化シリコン層において、Si の濃度に対する O の濃度比が 0.1 以上 1.7 以下であることを特徴とする半導体装置。

【請求項 5】 請求項 3 又は 4 において、

前記酸窒化シリコン層は、前記基板表面に接していることを特徴とする半導体装置。

【請求項 6】 請求項 3～5 のいずれか 1 項において、

前記半導体膜は、前記 Si、O を含む絶縁膜層表面に接していることを特徴と

する半導体装置。

【請求項 7】 請求項 3～6 のいずれか 1 項において、

前記 Si、O を含む絶縁層は、Si、O、N を含む酸窒化シリコンでなり、Si の濃度に対する N の濃度比が 0.1 以上 0.8 以下であることを特徴とする半導体装置。

【請求項 8】 請求項 3～7 のいずれか 1 項において、

前記 Si、O を含む絶縁層は、酸化シリコンでなることを特徴とする半導体装置。

【請求項 9】 基板上に、酸窒化シリコン層を少なくとも有する絶縁膜を形成する工程と、

前記絶縁膜上に半導体膜を形成する工程と、
を有し、

前記酸窒化シリコン層は Si の濃度に対する N の濃度比は 0.3 以上 1.6 以下であることを特徴とする半導体装置の作製方法。

【請求項 10】 基板上に、酸窒化シリコン層と Si、O を含む絶縁層とを少なくとも有する絶縁膜を形成する工程と、

前記絶縁膜上に、半導体膜を形成する工程と、
を有し、

前記酸窒化シリコン層は Si の濃度に対する N の濃度の比は 0.3 以上 1.6 以下であり、

前記 Si、O を含む絶縁層の表面を大気に曝さずに、前記 Si、O を含む絶縁層表面に接して、前記半導体膜を成膜することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、薄膜トランジスタでなる回路を有する半導体装置と、作製方法に関し、特に、基板と薄膜トランジスタの活性層を隔てる絶縁膜に関するものである。

【0002】

このような、絶縁膜としては、基板全面に形成される下地膜や、ボトムゲート型（代表的には、逆スタガー型）の薄膜トランジスタのゲート絶縁膜である。本発明は、薄膜トランジスタの劣化を防止するために好適な下地膜やゲート絶縁膜に関する。

【0003】

本発明の半導体装置は、薄膜トランジスタ（TFT）やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。更に本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0004】

【従来の技術】

近年、液晶ディスプレイの大型化、低価格化のため、特にOA機器の分野ではCRTにかわって、液晶ディスプレイが市場を拡大している。

【0005】

液晶ディスプレイに使用される薄膜トランジスタ（TFT、Thin Film Transistor）を多結晶シリコンにより製造することで、同一基板に画素マトリクス回路とドライバ回路を作製できる。更に微細加工が可能なため、高開口率化が可能になり、また高精細な表示も可能になった。

【0006】

より一層の液晶ディスプレイの低価格化を実現するため、基板としてガラス基板を用いることが要求されており、このため、600～700℃以下のプロセス温度でTFTを作製する技術が鋭意研究されている。

【0007】

【発明が解決しようとする課題】

ガラス基板には Na^+ 等の不純物イオンが多く含まれているため、ガラス基板表面に酸化シリコンや窒化シリコン等の下地膜を成膜して、不純物イオンが半導体膜に侵入しないようにする必要がある。

【0008】

ゲート電極により電圧が印加されると、活性層に電界が形成されるため、ガラス基板中の不純物イオンが活性層へと引き寄せられる。この結果、不純物イオンが下地膜やゲート絶縁膜を抜けてゲート絶縁膜や活性層に侵入してしまうと、電気的な特性が変動し経時的な信頼性を保証できなくなってしまう。

【0009】

特に、トップゲート型TFTの場合には、チャネルが形成される領域が下地膜に接しているため、下地膜の膜質はTFTの特性に大きく影響する。

【0010】

液晶パネルの作製工程において、通常、下地膜やゲート絶縁膜を形成するには、プラズマCVDが使用されている。これはプロセス温度が300～400℃と低く、スループット良く、大面積に成膜可能なためである。

【0011】

また、通常、下地膜としては窒化シリコン (SiN_x) や酸化シリコン (SiO_x) が用いられている。窒化シリコン (SiN_x) 膜は不純物イオンのブロッキング効果が高いことが知られているが、トラップ準位が多くTFTの特性に問題となる。酸化シリコンは窒化シリコンよりもバンドギャップが広く絶縁性に優れて、トラップ準位が低いという長所がある。しかし、水分が吸着しやすく、また不純物イオンのブロッキング効果が低い。

【0012】

また、液晶パネルの作製工程では、TFTを作製するために多くの膜を積層しているが、膜ごとの内部応力が異なるため、内部応力の相互作用により、TFTのしきい値などの電気特性が変動し、場合によって基板が反ったり、膜が剥離するという問題が生ずる。

【0013】

工程には、非晶質シリコンの結晶化というようなガラス基板の歪み点に近い温度で加熱する処理があるが、ガラス基板は加熱処理により収縮する。このため、内部応力の緩和のためにはガラス基板上に作製される絶縁膜の内部応力は引っ張り応力であることが望ましいと考える。

【0014】

本発明では、基板からの不純物をブロッキングし、かつ内部応力の問題を解消しうる絶縁膜を提供し、TFTの信頼性を向上することを目的とする。

【0015】

【課題を解決するための手段】

上述の問題点を解消するために、本発明は基板と活性層を構成する半導体膜とを隔てる絶縁膜として、酸窒化シリコン (SiO_xN_y) 層を少なくとも含む絶縁膜を基板上に形成する。

【0016】

酸窒化シリコン層を成膜することにより、膜のブロッキング効果を向上し、かつ基板の収縮による影響を緩和して、熱ストレスの耐性を向上させる。

【0017】

このために、酸化シリコン膜の窒素含有量を増やすことで、不純物のブロッキングと水の吸着防止を実現し、かつ基板の収縮を相殺するために、asdepo状態かつ加熱処理後にも引っ張り応力を示す酸窒化シリコン膜とする。

【0018】

このような特性を備えるには、酸窒化シリコン膜の組成に適当な範囲があり、本発明はそれを見いだしたものであり、酸窒化シリコン膜のSiの濃度に対するNの濃度比、Nの組成比/Siの組成比は0.3~1.6であり、好ましくは0.6~1.4である。

【0019】

Nの組成比同様、Oの組成比にも適当な範囲があり、酸窒化シリコン層のSiの濃度に対するOの濃度比、即ちOの組成比/Siの組成比は0.1~1.7、より好ましくは0.2~1.0である。

【0020】

また、酸窒化シリコン層はCVD法で成膜した場合には、Si、O、Nだけでなく、原料ガスに含まれるHを組成に含む。N、O濃度だけでなくH濃度を反映した物性の1つとして屈折率が挙げられる。本発明では酸窒化シリコン膜はN濃度/Si濃度が上記の範囲にあって、かつ波長623.8nmに対する屈折率が1.5~1.8、好ましくは1.7~1.8が望ましい。

【0021】

Nの組成比が大きくなると膜の密度が大きくなると共に、屈折率が大きくなるが、Hの含有量が多くなると膜の密度が下がり屈折率が小さくなる傾向があった。このためNの組成比（濃度）とH組成比（濃度）のバランスから、その屈折率は上記の範囲とする。

【0022】

本発明の酸窒化シリコン層を成膜するにはプラズマCVD、減圧CVD、ECRCVD等のCVD法を用いればよい。原料ガスに SiH_4 、 N_2O 、 NH_3 を用いる。 Si 源として SiH_4 （モノシラン）の代わりに、 Si_2H_6 （ジシラン）を用いることもできる。 NH_3 （アンモニア）は N_2O （亜酸化窒素）の窒化する効果を補うものであり、 NH_3 を添加することにより酸窒化シリコン層の窒素濃度を高めることができる。 NH_3 の代わりに N_2 を用いることができる。また、 N_2O はO源でもある。O源としては O_2 又は O_3 を用いることができる。酸窒化シリコン層において、 Si 、 O 、 N 、 H の組成比（濃度）の制御は原料ガスの流量、基板温度、圧力、RFパワー、電極間隔を調節することで行う。

【0023】

更に、本発明においては、不純物のブロッキング効果をより高めるには、酸窒化シリコン層を基板表面に接して形成することが望ましい。

【0024】

本発明の酸窒化シリコン層は窒素濃度が比較的高いため、酸化シリコンと比べて固定電荷が多くなり、絶縁性が低くなっている。そのため、酸窒化シリコン層表面に直接活性層を形成すると、酸窒化シリコン層と活性層との界面でトラップ準位が形成されやすい。

【0025】

そこで、本発明ではトラップ準位の形成を避け、かつ耐圧性を高めるために、活性層と基板との間に、酸窒化シリコン層と酸窒化シリコン層よりも窒素濃度の低い Si 、 O を含む絶縁層を少なくとも形成する。

【0026】

この構成においても、酸窒化シリコン層は基板表面に接して形成し、酸窒化シリ

コン層と活性層との間に Si、O を含む絶縁層を形成することが望ましい。Si、O を含む絶縁膜層表面に接して活性層を形成する場合には、Si、O を含む絶縁層表面を大気雰囲気には曝さないようにして、活性層を構成する半導体膜を連続的に成膜することが好ましい。これによって、絶縁層と活性層との界面の汚染を防止できるので、TFT の特性を制御するのに好ましい。

【0027】

Si、O を含む絶縁層としては、酸化シリコン又は酸化窒化シリコンが挙げられる。これらの膜の成膜方法にはプラズマ CVD、減圧 CVD、ECRCVD 等の CVD 法を用いればよい。原料ガスに Si 源として TEOS 等の有機シランを、O 源として O_2 または O_3 を用いる。また、Si 源として、 SiH_4 (モノシラン) 又は Si_2H_6 (ジシラン) 等の無機シランを用い、O 源として O_2 や O_3 、 N_2O を用いることができる。

【0028】

酸素源として、窒素を含有するガス、例えば N_2O を用いると、絶縁層は Si、O だけでなく N を含むこととなるが、Si の濃度に対する N の濃度比 (N の組成比 / Si の組成比) は 0.1 以上 0.8 以下にする。具体的には、窒素濃度は 2×10^{20} 以下にする。Si、O を含む絶縁膜の組成の制御は原料ガスの種類、流量、基板温度、圧力、RF パワー、電極間隔を調節することで行う。

【0029】

本発明において、活性層を形成する膜として成膜される半導体膜は非単結晶半導体膜であり、非晶質半導体膜、微結晶を有する非晶質半導体、結晶質半導体膜である。結晶性半導体膜とは微結晶半導体膜、多結晶半導体膜である。半導体としては、シリコン、ゲルマニウム、シリコンゲルマニウム、化合物半導体を用いられる。また、非晶質半導体膜、微結晶を有する非晶質半導体膜、微結晶半導体膜を成膜した場合には、熱処理、レーザ照射により結晶性を向上させて、活性層に用いることが望ましい。

【0030】

また、絶縁性基板にはガラス基板、PET 等のプラスチック基板、石英基板、結晶性ガラス (セラミック) 基板が用いられる。

【0031】

【発明の実施の形態】 図1～5を用いて本発明の実施の形態を説明する。

【0032】

【実施形態1】 本実施形態では、nチャネル型TFTとpチャネル型TFTでなるCMOS回路の作製工程を説明する。本発明の絶縁膜をトップゲート型の下地膜に用いた実施形態を説明する。合わせて、本発明に至る過程を説明する。

【0033】

以下に、図1、図2を用いて、本実施形態の作製工程を説明する。また、本実施形態では、4つの条件を設定し、TFTの劣化を抑制するのに好適な下地膜の組成を調べた。

【0034】

〈下地膜／半導体膜形成工程〉 ガラス基板100として5インチの1737ガラス基板（コーニング社製）を用いる。ガラス基板100全表面に接して下地膜101を形成する。下地膜101は絶縁層101aと101bの積層膜でなる。本実施形態では絶縁層101aの成膜条件と、絶縁層101aの熱処理工程の有無により、TFTの特性の変化を調べるため、4つの異なる条件を設定した。ここでは、条件の異なる基板を基板-1、基板-2のように区別する。図3に、各基板の絶縁層101a、101bの原料ガスとその流量、絶縁層101aに対する熱処理の有無を記している。

【0035】

【絶縁層101aの形成】 図1（A）参照
プラズマCVD法により、ガラス基板100に接して酸化窒化シリコンでなる絶縁層101aを成膜する。

【0036】

基板-1、-2は SiH_4 、 N_2O と原料ガスに用いて酸化窒化シリコン膜を成膜した。基板-3、-4は原料ガスに SiH_4 、 N_2O 、 NH_3 を用い、酸化窒化シリコン膜を成膜した。各原料ガスのガス流量は表1に示した。その他の条件は基板-1～-4で共通であり、基板温度400℃、圧力0.3Torr、RF出力300Wである。また、各基板の絶縁層101aの厚さは200nmとした。

【0037】

図3に、各基板-1~-4の酸化シリコンでなる絶縁層101aの組成比および屈折率を示した。組成比はRBS（ラザフォード後方散乱分析法）で測定した。

【0038】

〔絶縁層101aの熱処理〕

基板-1のみ、絶縁層101aを640℃で加熱し、4時間かけて温度を下げた。

【0039】

以降の工程は基板-1~-4に共通である。

【0040】

〈絶縁層101bと非晶質シリコン膜連続成膜〉 図1（B）参照

絶縁層101a表面に接して、酸化シリコン膜でなる絶縁層101bを成膜する。そして、絶縁層101bの表面を大気に曝さずに非晶質シリコン膜102を成膜する。成膜装置として、絶縁層101bの成膜用チャンバーと、シリコン膜102の成膜用のチャンバーを備えたマルチチャンバー型のプラズマCVD装置を用いた。

【0041】

絶縁層101bの原料ガスはTEOS（流量10sccm）、O₂（流量50sccm）であり、成膜時の基板温度は400℃、圧力は0.3Torr、RF出力は300Wとした。成膜される酸化シリコン膜の厚さは15nmとした。

【0042】

非晶質シリコン膜102の原料ガスはSiH₄（流量100sccm）であり、厚さ55nmに成膜した。成膜時の基板温度は300℃、圧力は0.5Torr、RF出力は20Wとした。

【0043】

〈非晶質シリコン膜結晶化〉 図1（C）参照

非晶質シリコン膜にKrFエキシマレーザ（波長248nm）を照射して多結晶化し、多結晶シリコン膜103を形成した。照射雰囲気は大気とし、基板温度は室温とした。エキシマレーザ光は被照射面で線状になるよう光学系によって成形し、線状ビームを走査しながら照射した。照射エネルギー密度は350~400mJ

/cm² の範囲で調節した。

【0044】

非晶質シリコン膜102に線状エキシマレーザービームが照射されると、その箇所
が瞬時に熔融され、凝固する過程で再結晶化される。なお、レーザー照射前に、基
板100を500℃の温度で60分加熱して、非晶質シリコン膜102内の水素
を気相中に放出させた。

【0045】

〈活性層、ゲート絶縁膜の形成〉 図1 (C) 参照

多結晶シリコン膜103上にフォトレジストパターンを形成し、ドライエッチン
グによって多結晶シリコン膜を島状にパターニングし、活性層104、105を
形成した。ドライエッチングにはエッチングガスにCF₄ とO₂ を用い、それぞ
れ流量をCF₄ は50 sccm、O₂ は45 sccmとし、基板温度は400℃とした。

【0046】

ゲート絶縁膜106として、プラズマCVD装置において酸化シリコン膜を1
50 nmの厚さに成膜する。原料ガスにSiH₄、N₂Oを用いた。SiH₄ の流
量は4 sccmとし、N₂Oは400 sccmとした。成膜時の圧力は0.3 Torr、基板
温度は400℃、RF出力は200Wとした。

【0047】

〈ゲート配線の形成〉 図1 (E) 参照

スパッタ装置によって、ゲート絶縁膜106上に、アルミニウム膜を400 nmの
厚さに成膜した。ターゲットにScを混入して、アルミニウム膜にScを0.1
8重量%程度添加した。

【0048】

アルミニウム膜表面を陽極酸化して、図示しない陽極酸化膜を形成した。この陽
極酸化工程では、3重量%の酒石酸を含むエチレングリコール溶液中で、アルミ
ニウム膜を陽極に、白金を陰極にして、この電極間に10Vの電圧を印加した。
この工程で形成される陽極酸化膜は1 nm程度であって、表面に形成されるフォト
レジストの密着性を向上させることを目的とする。陽極酸化工程終了後、フォト
レジストパターン（図示せず）を形成し、アルミニウム膜をウェットエッチング

によってパターニングし、ゲート配線 107 を形成した。図ではゲート配線 107 は T F T ごとに分断されているが、n チャネル型、p チャネル型 T F T で共通である。

【0049】

〈陽極酸化工程〉 図 2 (A) 参照

ゲート配線のパターニングに用いたフォトレジストパターンを残した状態で陽極酸化を行う。この陽極酸化工程は電界溶液に 3 重量%のシュウ酸溶液を用い、陽極と陰極間の電圧を 8 V とした。この結果、ゲート配線 107 の側面に多孔質の陽極酸化膜 108 が形成される。

【0050】

フォトレジストパターンを除去した後、3 重量%酒石酸を含有するエチレングリコール溶液を電解溶液に用いて陽極酸化を再び行い、緻密なバリア型陽極酸化膜 109 を形成した。この陽極酸化工程では、多孔質の陽極酸化膜 108 中へも電解溶液が侵入して、陽極酸化膜 109 で被覆されたゲート配線 107 を形成することができる。

【0051】

〈リンのドーピング〉 図 2 (B) 参照

ゲート配線 107、陽極酸化膜 108 エッチングマスクにして、ゲート絶縁膜 106 をパターニングした。しかる後、多孔質の陽極酸化膜 107 を除去した。そして、n チャネル型 T F T のソース領域、ドレイン領域を形成するために、リン (P) を活性層 105 にドーピングする。

【0052】

イオンドーピング装置によって、リンを 2 回のドーピング工程によって添加した。ドーピングガスには H_2 で 5 % に希釈した PH_3 を使用した。1 回目のドーピング条件は加速電圧 90 kV、RF 出力 5 W、設定ドーズ量は $1.2 \times 10^{13} \text{ ions/cm}^2$ とし、高加速電圧、低ドーズ量とする。2 回目は加速電圧 10 kV、RF 出力 20 W、設定ドーズ量は $5 \times 10^{14} \text{ ions/cm}^2$ とし、低加速電圧、高ドーズ量とした。

【0053】

このドーピング工程では、ゲート絶縁膜 106、ゲート絶縁膜 107 の有無により活性層 104、105 に添加されるリンの濃度が変化し、活性層 104、105 には、チャネル形成領域 110、117、 n^+ 型の高濃度不純物領域 112、113、118、119、 n^- 型の低濃度不純物領域 114、115、120、121、自己整合的に形成される。 n チャネル型 TFT の活性層において、 n^+ 型の高濃度不純物領域 112、113 はソース、ドレイン領域に相当する。

【0054】

〈ボロンのドーピング〉 図 2 (C) 参照

n チャネル型 TFT の活性層 105 をフォトレジストパターン PR1 で覆い、ドーピング装置によって半導体層 105 にボロンを添加して、 p 型のソース、ドレイン領域を形成する。ドーピングガスに H_2 で 5% に希釈した B_2H_6 を用いた。ここでは、条件の異なるドーピング工程を 2 回行った。1 回目のドーピングでは加速電圧 70 kV、RF 出力 5 W、設定ドーズ量は $6 \times 10^{14} \text{ ions/cm}^2$ とした。2 回目のドーピングでは、加速電圧 10 kV、RF 出力 20 W、設定ドーズ量は $1.3 \times 10^{15} \text{ ions/cm}^2$ とした。

【0055】

この結果、活性層 104 には、チャネル形成領域 123、 p^+ 型の高濃度不純物領域 124、124、 p^- 型の低濃度不純物領域 126、127 が自己整合的に形成される。そして、活性層 104、105 にレーザー光を照射して、ドーピングしたリン、ボロンを活性化した。レーザー光源には KrF エキシマレーザー (波長 248 nm) を用いた。活性化工程では、基板温度を室温に、雰囲気は大気とした。

【0056】

〈層間絶縁膜、配線の形成〉 図 2 (D) 参照

層間絶縁膜 128 として、プラズマ CVD 装置を用いて窒化シリコン膜と酸化シリコン膜との 2 層の絶縁膜を成膜した。先ず原料ガスに SiH_4 、 NH_3 、 N_2 を使い、基板温度 325℃、圧力 0.7 Torr、RF 出力 300 W で窒化シリコン膜を厚さ 25 nm に成膜した。次に、原料ガスに TEOS、 O_2 を使い、基板温度 300℃、圧力 1.0 Torr、RF 出力 200 W で、酸化シリコン膜を 940 nm の厚さに成膜した。

【0057】

層間絶縁膜 128 に活性層 104、105 に達するコンタクトホールを開口した。ソース／ドレイン配線を構成する導電膜として、厚さ 50 nm のチタン (Ti) 膜、厚さ 400 nm アルミニウム (Al) 膜でなる積層膜をスパッタ装置で連続成膜した。アルミニウム膜にはシリコン (Si) が 2 重量% 添加されている。チタン膜／アルミニウム膜でなる積層膜をパターニングして、ソース配線 129、130 とドレイン配線 131 をそれぞれ形成した。

【0058】

最後に、水素雰囲気中で基板温度 300℃ で 120 分加熱して、水素化処理を行った。水素化処理によって、活性層 104、105 中の欠陥や不対結合手が電氣的に中和される。

【0059】

以上の工程を経て形成された TFT の特性を基板ごとに初期特性を測定し、その後、BT 試験を行い、特性の劣化を調べた。BT 試験のストレス条件は、基板温度 150℃、試験時間 1 時間、ドレイン電圧 $V_D = 0$ V、ソース電圧 $V_S = 0$ V、ゲート電圧 $V_G = 20$ V (n チャネル型)、 -20 V (p チャネル型) とした。また、測定対象とした TFT のチャネル長 L 、チャネル幅 W の実測値は、n チャネル型、p チャネル型とも $L = 5.6 \mu\text{m}$ 、 $W = 7.5 \mu\text{m}$ である。

【0060】

図 4 は、各基板のドレイン電流 I_D - ゲート電圧 V_G 特性カーブである。縦軸は対数 (log) スケールとなっている。実線が BT 試験前のデータであり、点線が BT 試験後のデータである。また、n チャネル型 TFT のデータはドレイン電圧 V_D が 1 V の場合であり、p チャネル型 TFT では、ドレイン電圧 V_D を -1 V とした。

【0061】

図 5 は BT 試験による TFT の特性の変化を示すグラフ図である。図 5 (A) には、ゲート電圧 $V_G^{I_{Dmin}}$ の変化を示した。ゲート電圧 $V_G^{I_{Dmin}}$ とは、しきい電圧値 V_{th} と同様に、 I_D - V_G 特性カーブから算出した値である。図 5 (C) に示すように、ドレイン電流 I_D を log スケールとした特性カーブに対する接線のうち、傾きの絶対値が最大となる接線において、特性カーブのドレイン電圧 I_D が最小値をと

るときのゲート電圧の値である。

【0062】

図5 (A) のデータは、B T 試験前後のゲート電圧 $V_{G^{IDmin}}$ の変化を示し、試験前の値 $V_{G^{IDmin}}$ と試験後の値 $V_{G^{IDmin}}$ の差分 $\Delta V_{G^{IDmin}} = V_{G^{IDmin}} - V_{G^{IDmin}}$ である。

なお、基板-3において、nチャネル型 ($L/W=5.6/7.5\mu m$) の場合の $\Delta V_{G^{IDmin}}$ は0.007とごく小さいため、グラフに現れていない。

【0063】

図5 (B) には、カットオフ電流 I_{cut} の桁数の変化を示す。カットオフ電流 I_{cut} とは、図5 (C) に示すように、 $ID-VG$ 特性カーブにおいて、ゲート電圧 V_G が0Vの時のドレイン電流 ID の値で定義する。カットオフ電流 I_{cut} が小さいほど、低消費電力が実現できる。

【0064】

図5 (B) のデータは、試験前の値を I_{cut} とし、試験後の値を I_{cut}' とした場合に、 $\log (I_{cut}' - I_{cut})$ から算出した値である。

【0065】

図4、図5のデータから、T F T の特性の変化が少ないのは、基板-3、基板-4であることは容易に分かる。図4 (E) ~ (H) に示すように、基板-3、-4の特性カーブではサブスレッシュヨルド領域の変動は、少なく、nチャネル型T F T では殆ど変化していない。。

【0066】

一方、基板-2では、図4 (C)、(D) の特性カーブをみるとサブスレッシュヨルド領域の変動が著しく大きく、熱処理をすることより (基板-1の場合に対応、図4 (A)、(B) 参照)、劣化が改善される。

【0067】

また、図5に示した $\Delta V_{G^{IDmin}}$ 及び ΔI_{cut} の変動が少ないほど劣化がないことを示し、T F T の信頼性が高いことを意味する。基板-3、-4では、nチャネル型T F T の $\Delta V_{G^{IDmin}}$ 、 ΔI_{cut} が非常に小さく、従来劣化が問題となっているnチャネル型T F T の信頼性が非常に改善されている。

【0068】

他方、pチャネル型TFTの $\Delta V_{G_{IDmin}}$ 、 ΔI_{cut} はnチャネルと比べて、若干大きい。図4(F)、(H)のID-VG特性カーブを見ても分かるとおり、ノーマリーオフ側にシフトしているため、ノーマリーオン側にシフトしている場合に比べて、動作上の問題がないと考えられる。

【0069】

ノーマリーオフ側にシフトしているとは、カットオフ電流 I_{cut} が小さくなる側にシフトしていることを意味する。ノーマリーオン側にシフトしているとは I_{cut} 電流が増加する方向のシフトを意味する。

【0070】

基板-1、-2ではnチャネル型、pチャネル型TFTとも、ノーマリーオン側にシフトしており、このことから基板-3、-4のTFTの信頼性が高いことが理解できる。

【0071】

以上のことから、熱処理をしない絶縁層101aを用いても、TFTの劣化をなくすには、絶縁層101aを構成する酸化シリコンの組成に適切な範囲があることが理解できる。少なくとも、基板-1、-2よりも窒素の含有量を高くする必要があり、酸素の含有量は小さくすることが必要になる。

【0072】

基板-1、-2の絶縁層101aでは、N濃度/Si濃度が0.22であり、O濃度/Si濃度は1.86であった。asdepo、加熱処理後でも内部応力は圧縮応力であった。

【0073】

基板-3では、絶縁層101aのN濃度/Si濃度は0.73であり、O濃度/Si濃度は0.80であった。asdepo、加熱処理後でも内部応力は引っ張り応力であった。

【0074】

基板-4の絶縁層101aのN濃度/Si濃度は1.28であり、O濃度/Si濃度は0.17であった。asdepo、加熱処理後でも内部応力は引っ張り応力であっ

た。

【0075】

上記のN、O濃度比は図3に示したRBS測定した組成比を算出した値である。

【0076】

上述したように、絶縁層101aが引っ張り応力を示すようにN、Oの濃度を調節する必要がある。TFTの劣化が防止でき、かつ絶縁層101aが引っ張り応力を示すようにするには、絶縁層101a（酸化窒化シリコン層）は、N濃度/Si濃度が0.3～1.6に、より好ましくは0.6～1.4になるようにする。またO濃度/Si濃度は0.1～1.7に、より好ましくは0.1～1.0になるようにする。

【0077】

なお、基板-4よりも絶縁層101aの成膜時に NH_3 の流量を大きくした場合、半導体膜を成膜した後に基板を600℃程度の温度で数時間加熱した場合、膜の剥離が観察されたため、600℃程度で長時間加熱する工程が有る場合には、N濃度/Si濃度の上限は1.3とするのが好ましく、O濃度/Si濃度の下限は0.2とすることが好ましい。

【0078】

また、各基板の絶縁層101aの窒素濃度をSIMSで測定した値は、基板-1、-2の窒素濃度は $2 \times 10^{20} \text{atoms/cm}^3$ であり、基板-3では、窒素濃度は $8 \times 10^{21} \text{atoms/cm}^3$ であった。よって、絶縁層101aの窒素濃度は、Nの組成比が上記の範囲にあって、 $2 \times 10^{20} \text{atoms/cm}^3$ よりも高くし、より好ましくは $1 \times 10^{21} \text{atoms/cm}^3$ 以上にする。

【0079】

また、上記のN、Oの組成比だけでなく、組成全体を反映した物性として屈折率があるが、図3に示したように、波長623.8nmに対する絶縁膜層101aの屈折率が1.5～1.8なるように、より好ましくは1.7～1.8なるように、成膜条件を調節する。

【0080】

本実施形態では、下地膜101に酸化窒化シリコン層（101a）とSi、Oを含

む絶縁層(101b)とを有する絶縁膜を適用したが、下地膜に適用する場合には、酸化窒化シリコン層101aの膜厚は50~200nmとすればよい。またSi、Oを含む絶縁層101bの膜厚は10~300nmとし、より好ましくは10~50nmとすればよい。

【0081】

本実施形態の絶縁層101a、101bでなる絶縁膜は、基板の表面全面に形成される下地膜の他に、ボトムゲート型TFTのゲート絶縁膜にも適用することができる。この場合には、酸化窒化シリコン層101aの膜厚は50~100nmとし、Si、Oを含む絶縁層101bの膜厚は50~100nmとし、下地膜に適用する場合よりも耐圧性がより高まるようにする。

【0082】

【実施形態2】 実施形態1では、Si、Oを含む絶縁層101bとして、TEOSとO₂を用いて酸化シリコン膜で形成したが、酸化窒化シリコン膜で形成することもできる。この場合には、原料ガスにSiH₄とN₂Oを用いて酸化窒化シリコン膜を形成してもよい。

【0083】

例えば、下地膜の絶縁層101aとして、基板-3の絶縁層101a層と同じ条件で、酸化窒化シリコン膜を成膜し、絶縁層101bとして、基板-1の絶縁層101bと同じ条件で酸化窒化シリコン膜を成膜すればよい。

【0084】

酸化窒化シリコンでなる絶縁層101aの膜厚を100nmとし、酸化窒化シリコン膜でなる絶縁層101bの膜厚を200nmとした。耐圧性に問題がなかった。このような積層膜でなる絶縁膜をボトムゲート型TFTのゲート絶縁膜にも適用できる。

【0085】

また、下地膜101を2層構造としたが、3層構造とすることもでき、例えば、上記した、酸化窒化シリコン層101a、101bの上にさらに、TEOSとO₂を原料にした、酸化シリコンでなる絶縁層を形成し、酸化シリコン層に接して活性層を構成する半導体膜を成膜すればよい。このような3層構造の絶縁膜もボト

ムゲート型 T F T のゲート絶縁膜に適用できるのは、いうまでもない。

【 0 0 8 6 】

【実施例】 図 6 ～ 図 1 2 用いて、本発明の実施例を説明する。

【 0 0 8 7 】

【実施例 1】

本実施例は、同一基板上に画素マトリクス回路とドライバ回路を一体化したアクティブマトリクス型液晶パネルについて説明する。また本実施形態では、劣化の抑制効果の高い T F T の構造について説明する。

【 0 0 8 8 】

図 1 1 に液晶ディスプレイを簡略化して示す。アクティブマトリクス基板と対向基板は隙間を空けて貼り合わされており、この隙間に液晶が充填されている。

【 0 0 8 9 】

アクティブマトリクス基板 3 0 0 は、基板上に作製された T F T によって画素マトリクス回路 3 0 1、ゲートドライバ回路 3 0 2、ソースドライバ回路 3 0 3、信号処理回路 3 0 4 である。ゲートドライバ回路 3 0 2、ソースドライバ回路 3 0 3 は画素マトリクス回路 3 0 1 の T F T を駆動するための回路である。信号処理回路 3 0 5 は画像表示を行うために必要な各種信号を処理する回路であり、メモリ回路、D / A（または A / D）コンバータ回路、パルスジェネレータ回路、信号分割回路、 γ 補正回路等を指す。

【 0 0 9 0 】

アクティブマトリクス基板 3 0 0 には、T F T の作製工程と同時に外部端子が形成され、この外部端子に F P C（Flexible Print Circuit）端子 3 0 6 が取り付けられる。一般的に液晶モジュールと呼ばれるのは F P C を取り付けた状態の液晶パネルである。

【 0 0 9 1 】

他方、対向基板 3 1 0 には、ガラス基板に I T O 膜でなる透明導電膜が成膜され、その表面を覆って配向膜が形成される。必要であれば、カラーフィルタやブラックマトリクスが透明導電膜と基板の間に形成される。透明導電膜は画素マトリクス回路の画素電極の対向電極となり、画素電極と透明導電膜との間に画像デー

タに対応する大きさの電界が形成され、充填された液晶が駆動される。

【0092】

図6にアクティブマトリクス基板の断面図を示す。図面右側に画素マトリクス回路の1画素の断面構成を図示し、左側にドライバ回路303、304の基本的な構成であるCMOS回路を図示している。また、図10に画素マトリクス回路の上面図を示す。

【0093】

図6に示すように、ガラス基板200表面を覆う絶縁層201a、202bでなる下地膜が形成されている。絶縁層201a、201bは組成比が異なる窒素濃度を高くし、パッシベーション効果を高めている。他方、絶縁層201bは絶縁層201bよりN濃度を低くして、活性層との界面準位が低くなるようにしている。

【0094】

画素マトリクス回路に用いられる画素TFTはnチャネル型であり、ダブルゲート構造とした。活性層202はゲート絶縁膜205を介してゲート配線206と2カ所で交差し、更に、保持容量用配線207とも交差している。

【0095】

活性層202には、2つのチャネル形成領域210、211、3つの n^+ 型の高濃度不純物領域212～214、 n^- 型の低濃度不純物領域215～223が形成されている。低濃度不純物領域215～219はリンの濃度が高濃度不純物領域212～214よりも低く、高抵抗領域と機能する。低濃度不純物領域215～218はゲート配線206（電極206a、206b）とオーバーラップしているため、ホットキャリアによる劣化を防止する効果があり、領域219～222はゲート配線（電極）とオーバーラップしていないため、オフ電流を低くする効果がある。

【0096】

また、低濃度不純物領域223は保持容量の電極を構成する。保持容量は低濃度不純物領域223、保持容量電極207bを電極に、ゲート絶縁膜205を誘電体とするコンデンサーであり、低濃度不純物領域223によって、画素TFTに

電氣的に接続されている。

【0097】

ドライバ回路において、nチャネル型、pチャネル型TFTそれぞれの活性層はゲート絶縁膜205を挟んでゲート配線208と交差している。nチャネル型TFTの活性層には、チャネル形成領域230、 n^+ 型の高濃度不純物領域231、232、 n^- 型の低濃度不純物領域233、234が形成されている。低濃度不純物領域233、234はリンの濃度が高濃度不純物領域231、232よりも低く、高抵抗な領域となる。これら低濃度不純物領域233、234はゲート配線208（電極208a）とオーバーラップしているため、ホットキャリアによる劣化を防止する効果がある。他方、pチャネル型TFTの活性層には、チャネル形成領域240、 p^+ 型の高濃度不純物領域241、242が形成されている。

【0098】

なお本明細書中では、ゲート配線206、208、容量用配線207が活性層202～204と交差している部分を電極（符号で206a、206b、207a、208a、208bで示す）としている。

【0099】

更に、図6に示すように、ガラス基板200上には、ゲート配線206、208、保持容量用配線207を保護するための窒化シリコン膜250が形成されている。窒化シリコン膜250上には層間絶縁膜251が形成され、層間絶縁膜251上には画素マトリクス回路のソース配線252、ドレイン電極253、ドライバ回路のソース配線254、255、ドレイン配線256が形成されている。これら配線、電極を覆って窒化シリコン膜257が形成されている。窒化シリコン膜257はTFTへ水分や不純物が侵入するのを防ぐためのパッシベーション膜として形成されている。窒化シリコン膜257を覆って、樹脂材料でなる平坦化膜258が形成されている。平坦化膜258上には、ITOでなる画素電極260が接続され、最表面には配向膜261が形成されている。

【0100】

以下、図7～図9を用いて、アクティブマトリクス基板の作製工程を説明する。

【0101】

〈下地膜、活性層、ゲート絶縁膜の形成〉 図7 (A) 参照

ガラス基板200を洗浄した後、ガラス基板200の表面に接して絶縁層201a、201bとなる下地膜を形成する。

【0102】

まず、絶縁層201aとして酸窒化シリコン膜を100nmの厚さに成膜する。原料ガス、その流量は SiH_4 : 10 sccm、 NH_3 : 100 sccm、 N_2O : 20 sccmとし、成膜時の基板温度を300℃、圧力を0.3 Torr、RFパワーを200 Wとする。

【0103】

絶縁層201a表面に、プラズマCVD装置において、絶縁層201bとして酸窒化シリコン膜を200nmの厚さに成膜する。原料ガス、及びその流量は SiH_4 : 4 sccm、 N_2O : 400 sccmとし、成膜時の基板温度を300℃、圧力を0.3 Torr、RFパワーを200 Wとする。

【0104】

下地膜202b表面を大気に曝さずに、その表面に非晶質シリコン膜を成膜する。成膜時の圧力を0.5 Torr、RFパワーを20 Wとし、原料ガスは SiH_4 を用い、流量を100 sccmとする。

【0105】

スピncerを用いて非晶質シリコン膜の表面にニッケル(Ni)を含有する酢酸水溶液を塗布する。この工程で、結晶化を助長する元素であるNiが非晶質シリコン膜に添加される。電気炉内で基板200を500℃で1時間加熱し、非晶質シリコン膜の水素を気層中に放出させた後、電気炉内で窒素雰囲気中で基板を550℃、4時間加熱して、非晶質シリコン膜を結晶化させて、結晶性シリコン膜を形成する。

【0106】

結晶性シリコン膜をドライエッチングにより島状にパターニングして、画素TFTの活性層202、ドライバ回路のnチャネル型、pチャネル型TFTの活性層203、204を形成する。活性層202~204を覆ってゲート絶縁膜205

を形成する。ゲート絶縁膜 205 として、ゲート絶縁膜 205 として、プラズマ CVD 装置において酸化シリコン膜を 150 nm の厚さに成膜する。原料ガスに SiH_4 、 N_2O を用い、流量を SiH_4 は 4 sccm とし、 N_2O は 400 sccm とする。成膜時の圧力は 0.3 Torr、基板温度は 400℃、RF 出力は 200 W とする。

【0107】

〈リンのドーピング工程〉 図 7 (B) 参照

ゲート絶縁膜 205 上にフォトレジストパターン PR11 を形成する。フォトレジストパターン PR11 により活性層 202 及び 203 のチャネルが形成される領域が選択的に覆われ、活性層 204 は全体が覆われる。イオンドーピング装置より、リンを添加する。ドーピングガスには水素で希釈した PH_3 を用いる。ゲート絶縁膜 205 を通して活性層 202、203 にリンを添加するために、加速電圧は 80 keV と高めに設定する。ドーピング工程によって、活性層 202 には n^- 型の低濃度不純物領域 301～303 が形成され、活性層 203 には n^- 型の低濃度不純物領域 304、305 が形成される。これらの低濃度不純物領域 301～305 のリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とする。

【0108】

〈導電膜の形成〉 図 7 (C) 参照

レジストマスク PR11 を除去して、ゲート絶縁膜 205 の表面に、ゲート配線を構成する導電膜 306 を形成する。ここでは、導電膜 306 としてスパッタ法でタンタル膜上に窒化タンタル膜を積層した膜を成膜する。

【0109】

導電膜 306、Ta、Ti、Mo、W、Cr、Al から選ばれた元素を主成分とする導電性材料や、リンを含有するシリコンや、シリサイドなどの単層膜あるいは積層膜でなる。例えば、 WMo 、 TaN 、 MoTa 、 WSi_x ($2.4 < x < 2.7$) などの化合物を用いることができる。

【0110】

〈ボロンのドーピング〉 図 8 (A) 参照

導電膜 212 をパターニングするため、フォトレジストパターン PR12 を導電膜 212 上に形成する。フォトレジストパターン PR12 を用いて、ウェットエッチングにより導電膜 212 をパターニングする。n チャネル型 T F T の活性層 202、203 上にはドーピングマスクとして機能するようにマスク 206 m、208 m が形成される。p チャネル型 T F T の活性層 204 上には、最終的な形状のゲート電極 208 b が形成される。

【0111】

フォトレジストパターン PR12 を残した状態で、イオンドーピング装置においてボロンをドーピングする。ドーピングガスには水素で希釈したジボラン (B_2H_6) を用い、加速電圧を 80 keV とする。活性層 204 にはチャネル形成領域 240、 p^+ 型の高濃度不純物領域 241、242、が自己整合的に形成される。 p^+ 型の高濃度不純物領域 241、242 のボロン濃度は $2 \times 10^{20} \text{ atoms/cm}^3$ とする。

【0112】

〈配線の形成〉 図 8 (B) 参照

フォトレジストパターン PR12 を除去した後、新たにフォトレジストパターン PR13 を形成する。フォトレジストパターン PR13 は、マスク 206 m、208 m をパターニングして、ゲート電極 206 a、208 a、容量用電極 207 a を形成するためであると同時に、p チャネル型 T F T の活性層を保護するものである。

【0113】

フォトレジストパターン PR13 を用いてドライエッチング法によりマスク 206 m、208 m をパターニングして、図に示すようにゲート配線 206、208、容量用配線 207 が完成する。n⁻ 型の低濃度不純物領域 301 ~ 303 において、画素 T F T のゲート電極 206 a、206 b と重なった領域が n⁻ 型の低濃度不純物領域 219 ~ 222 として画定する。

【0114】

〈リンのドーピング〉 図 9 (A) 参照

フォトレジストパターン PR13 を除去した後、フォトレジストパターン PR14 を形成して、ドーピングにより n⁺ 型の領域を形成する。フォトレジストパターン PR14 に

よって、画素TFTにおいては、ゲート電極206と n^- 型の低濃度不純物領域301～303の一部が覆われ、ゲート電極とオーバーラップしないゲート電極206a、206bとオーバーラップしない低濃度不純物領域219～222が決定される。保持容量部とCMOS回路のnチャネル型TFTでは、電極207a、208a上だけにフォトリジストパターンPR14が形成され、pチャネル型TFTはフォトリジストパターンPR14によって活性層が全て覆われている。

【0115】

イオンドーピング装置において、水素で希釈した PH_3 を用いてリンをドーピングする。加速電圧は80keVと高めに設定し、活性層203、204に n^+ 型の高濃度不純物領域212～214、231、232が形成される。これら n^+ 型の高濃度不純物領域のリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とし、ここでは $1 \times 10^{20} \text{ atoms/cm}^3$ にする。このドーピング工程で、nチャネル型TFTの不純物領域が完成する。

【0116】

〈配線・電極の形成〉 図9(B)参照

ゲート絶縁膜205、ゲート配線206、208と保持容量用配線207の表面を覆って、窒化シリコン膜250をプラズマCVD法で成膜する。窒化シリコン膜250の厚さは50nmとする。そして、600℃で基板を加熱して、ドーピングされたリン、ボロンを活性化する。

【0117】

窒化シリコン膜250上に層間絶縁膜251を形成する。ここでは、TEOSと O_2 ガスを原料に厚さ940nmの酸化シリコン膜をプラズマCVD法で成膜する。所定のレジストマスクを形成した後、エッチング処理により、各活性層に達するコンタクトホールを窒化シリコン膜125、層間絶縁膜126に形成する。スパッタ法で、Ti膜を100nm、Tiを含むAl膜300nm、Ti膜150nmに連続して成膜し、この3層膜をパターニングして、ソース配線252、ドレイン電極253、ソース配線254、255、ドレイン配線256を形成する。以上の工程で、画素TFT及びCMOS回路が完成する。

【0118】

〈画素電極の形成〉 図6

次に、画素TFT及びCMOS回路を覆うため、基板全面に窒化シリコン膜257をプラズマCVD法で成膜する。次に、平坦化膜258としてスピンコーターを用いてアクリル膜を形成する。平坦化膜258、窒化シリコン膜257をエッチングして、ドレイン電極253に達コンタクトホールを形成する。スパッタ法でITO膜を成膜し、パターニングして画素電極260を形成する。基板200の全面にポリイミドでなる配向膜を形成する。以上で、アクティブマトリクス基板が完成する。

【0119】

公知のセル組工程によって、アクティブマトリクス基板と対向基板をモジュール化して、図11に示す液晶パネルが完成される。

【0120】

本実施形態では、アクティブマトリクス基板上のnチャネル型TFTには、ゲート電極とオーバーラップしている n^- 型の低濃度不純物領域を形成したが、このような低濃度不純物領域を形成することは、オフ状態（逆バイアスの電圧を印加した状態）で電流がリークしやすくなるため、オフ状態の電流のリークが問題になる画素TFTには設けなくともよい。

【0121】

本実施例では、液晶表示装置について説明したが、本実施例のTFTは有機EL装置にも応用することができる。また、本実施例のTFTに非晶質シリコンを用いた光電変換層を接続して、光センサーに適用することもできる。

【0122】

本実施例ではトップゲート型であるプラナー型のTFTを作製したが、TFTを逆スタガー型などのボトムゲート型としてもよい。本実施例の下地膜を用いることで、ガラス基板に含まれる Na^+ イオンなどの不純物がゲート絶縁膜に侵入することが防止される。

【0123】

〔実施例2〕 本発明を実施して形成されたTFTはさまざまなアクティブマトリクス型表示装置や半導体回路に適用することができる。即ち、それら電気光学

装置や半導体回路を部品として組み込んだ電子機器全てに、本発明は適用可能である。

【0124】

そのような電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーションシステム、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話又は電子書籍等）などが挙げられる。それらの一例を図12に示す。

【0125】

図12（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0126】

図12（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0127】

図12（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205やその他の信号制御回路に適用できる。

【0128】

図12（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0129】

図12（E）はリア型プロジェクターであり、本体2401、光源2402、表

示装置 2 4 0 3、偏光ビームスプリッタ 2 4 0 4、リフレクター 2 4 0 5、2 4 0 6、スクリーン 2 4 0 7 で構成される。本発明は表示装置 2 4 0 3 やその他の信号制御回路に適用することができる。

【0 1 3 0】

図 1 2 (F) はフロント型プロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本発明は表示装置 2 5 0 2 やその他の信号制御回路に適用することができる。

【0 1 3 1】

【発明の効果】

本発明は基板表面に形成される酸化シリコン膜の Si、O、N の組成比を制御することにより、電気的特性が良好で、かつ高信頼性の TFT を作製することを可能にする。またこのような TFT を用いた半導体装置の信頼性も向上させることができる。

【図面の簡単な説明】

【図 1】 CMOS 回路の作製工程を示す断面図。

【図 2】 CMOS 回路の作製工程を示す断面図。

【図 3】 絶縁層 1 0 1 b の成膜条件、物性を示す表。

【図 4】 TFT の電気的特性を示すグラフ図。

【図 5】 BT 試験後の TFT の電気的特性を示すグラフ図。

【図 6】 アクティブマトリクス基板の断面図。

【図 7】 アクティブマトリクス基板の作製工程を示す断面図。

【図 8】 アクティブマトリクス基板の作製工程を示す断面図。

【図 9】 アクティブマトリクス基板の作製工程を示す断面図。

【図 1 0】 画素マトリクス回路の上面図。

【図 1 1】 アクティブマトリクス型液晶パネルの概略図。

【図 1 2】 電子機器の説明図。

【符号の説明】

1 0 0 基板

1 0 1 下地膜

101 a 絶縁層 (酸化シリコン)

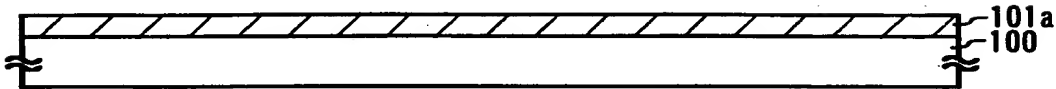
101 b 絶縁層 (酸化シリコン)

104, 105 半導体層

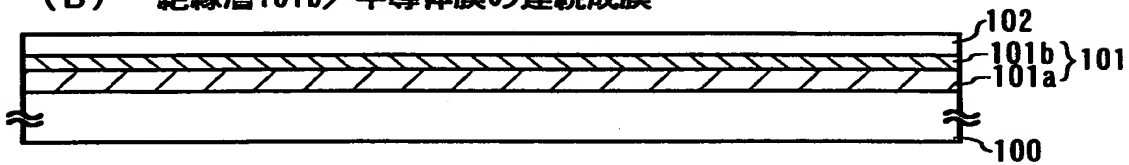
【書類名】 図面

【図 1】

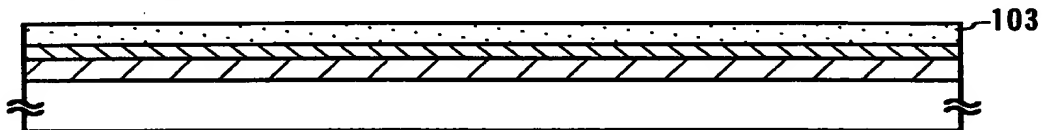
(A) 絶縁層101a形成



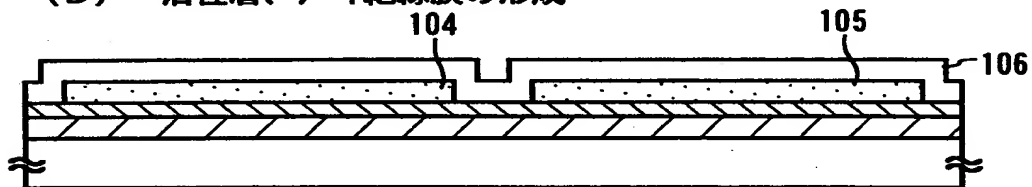
(B) 絶縁層101b/半導体膜の連続成膜



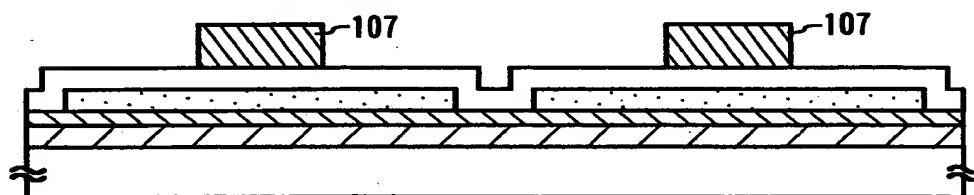
(C) 結晶化



(D) 活性層、ゲート絶縁膜の形成

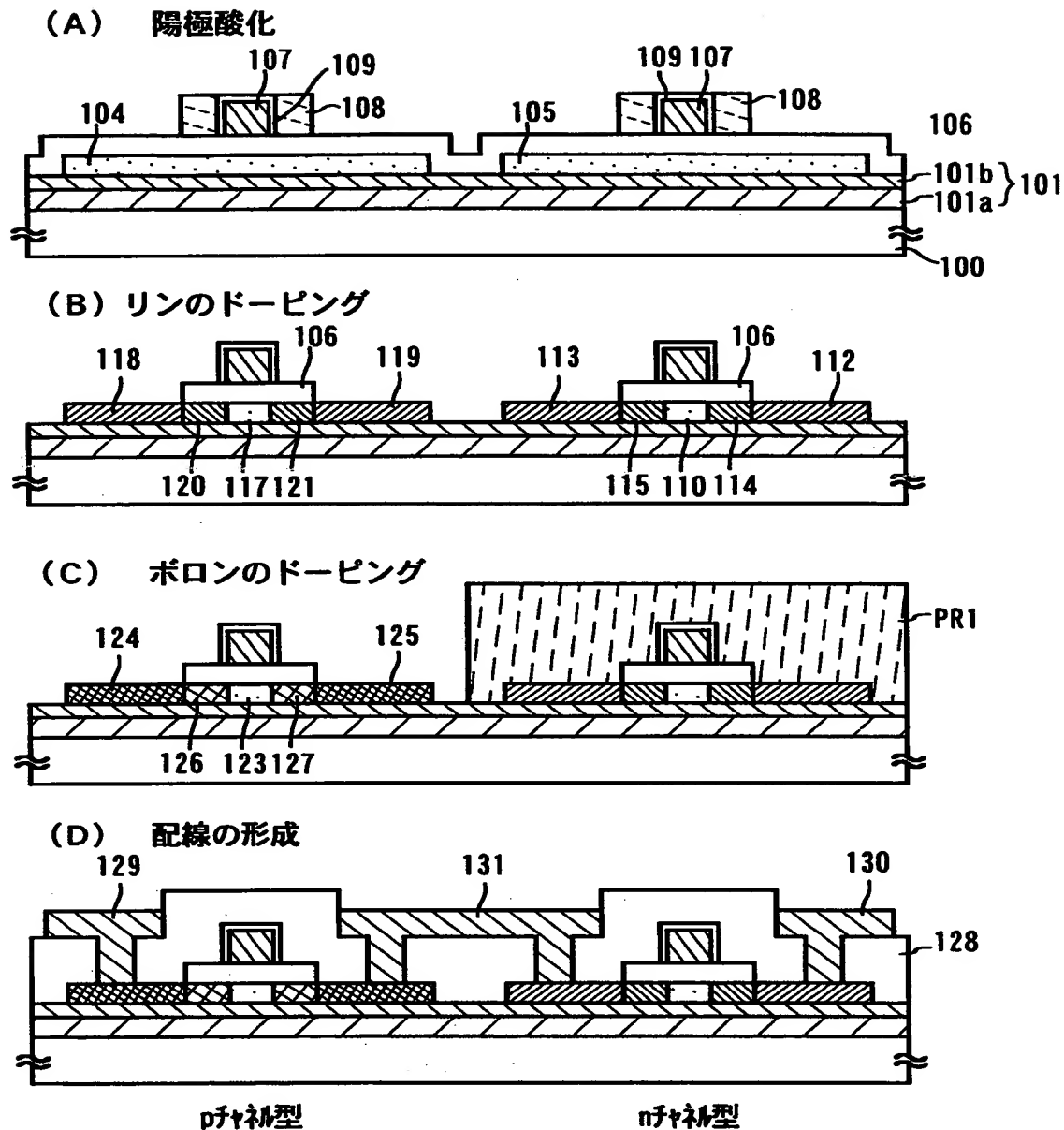


(E) ゲート配線の形成



100: ガラス基板
101: 下地膜 (101a, 101b: 絶縁層)
102: 非晶質シリコン膜 103: 結晶性シリコン膜
104, 105: 活性層 106: ゲート絶縁膜 107: ゲート配線

【図 2】



100: ガラス基板
101: 下地膜 (101a, 101b: 絶縁層)
104, 105: 活性層 106: ゲート絶縁膜 107: ゲート配線 108, 109: 陽極酸化膜
110: チャネル形成領域 112, 113, 118, 119: 高濃度不純物領域 (n+)
114, 115, 120, 121: 低濃度不純物領域 (n-)
110: チャネル形成領域 112, 113, 118, 119: 高濃度不純物領域 (n+)
114, 115, 120, 121: 低濃度不純物領域 (n-)
123: チャネル形成領域 124, 125: 高濃度不純物領域 (p+)
126, 127: 低濃度不純物領域 (p-)
128: 層間絶縁膜 129, 130: ソース配線 131: ドレイン配線

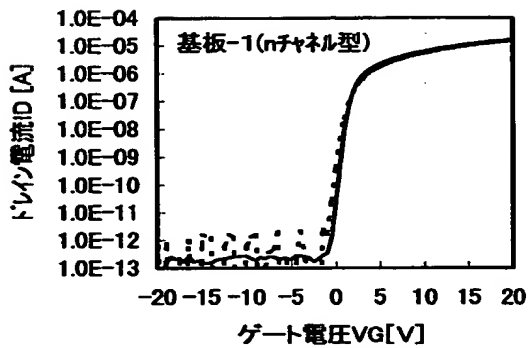
【図 3】

		基板-1	基板-2	基板-3	基板-4
原料ガス流量	S i H ₄	4	10	15	
	N ₂ O	400	20	20	
	NH ₃	0	100	200	
熱処理		有	無	無	無
組成比(atomic%)	N	7.0	24.0	44.1	
	O	59.5	26.5	6.0	
	S i	32.0	33.0	34.4	
	H	1.5	16.5	15.5	
屈折率		1.4566	1.7468	1.7975	

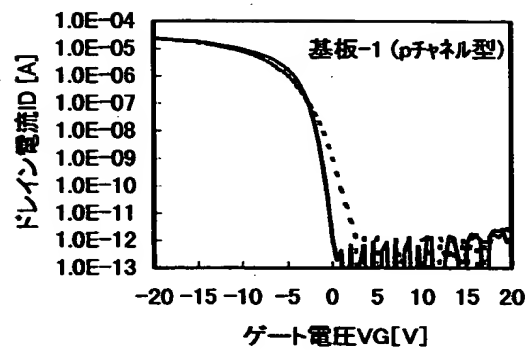
絶縁層（酸化シリコン層）101aの成膜条件、物性

【図 4】

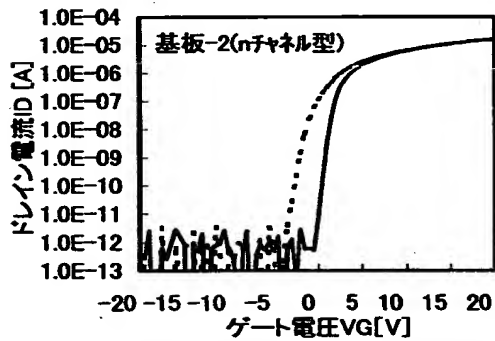
(A)



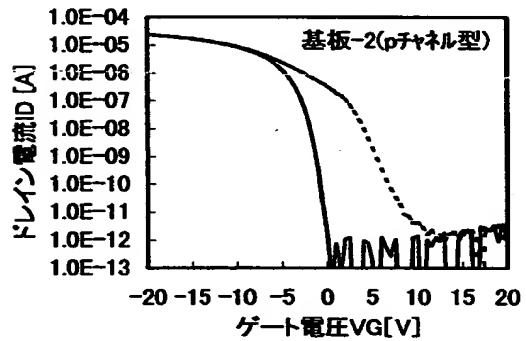
(B)



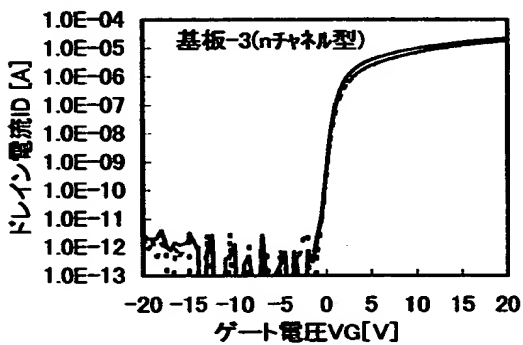
(C)



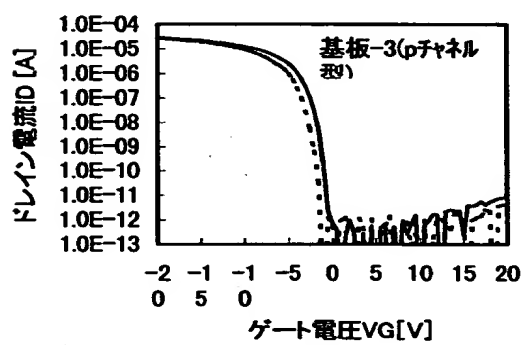
(D)



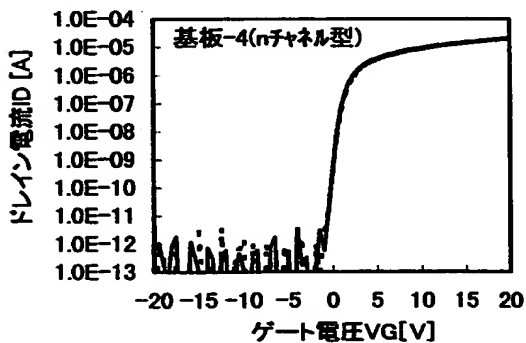
(E)



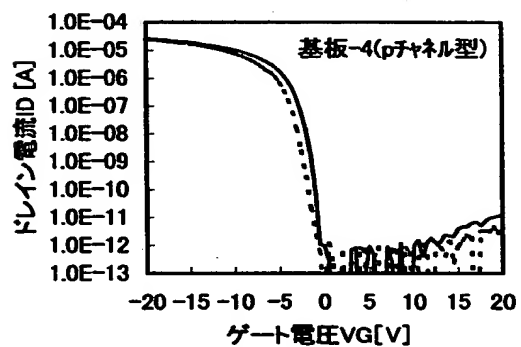
(F)



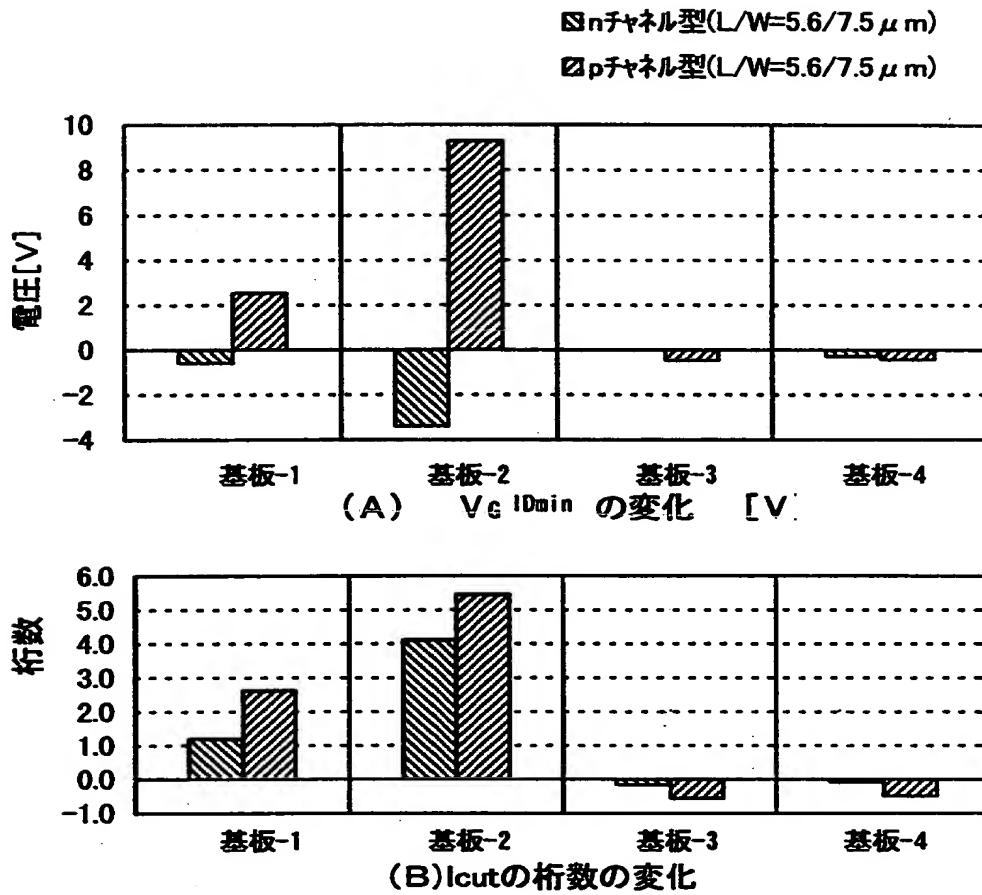
(G)



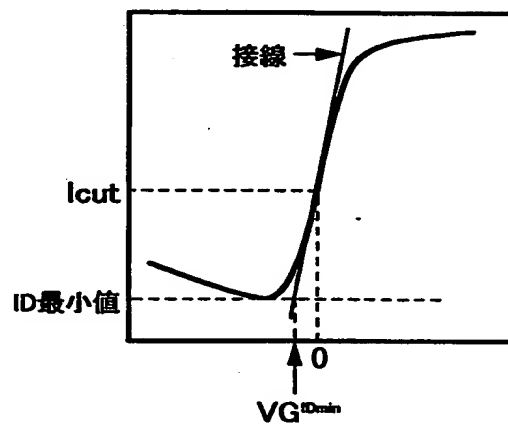
(H)



【図5】

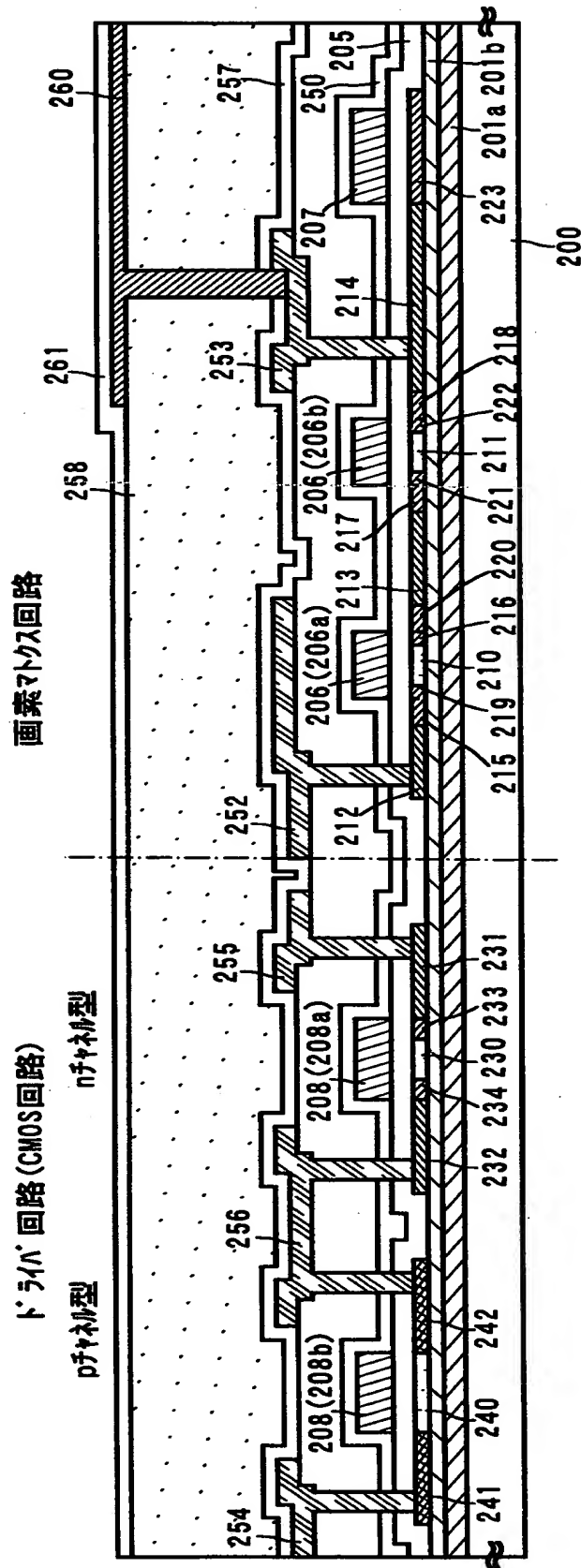


※ストレス条件
 150℃, 1時間, V_G : nチャネル型=20V, pチャネル型=-20V, $V_D=V_S=0V$



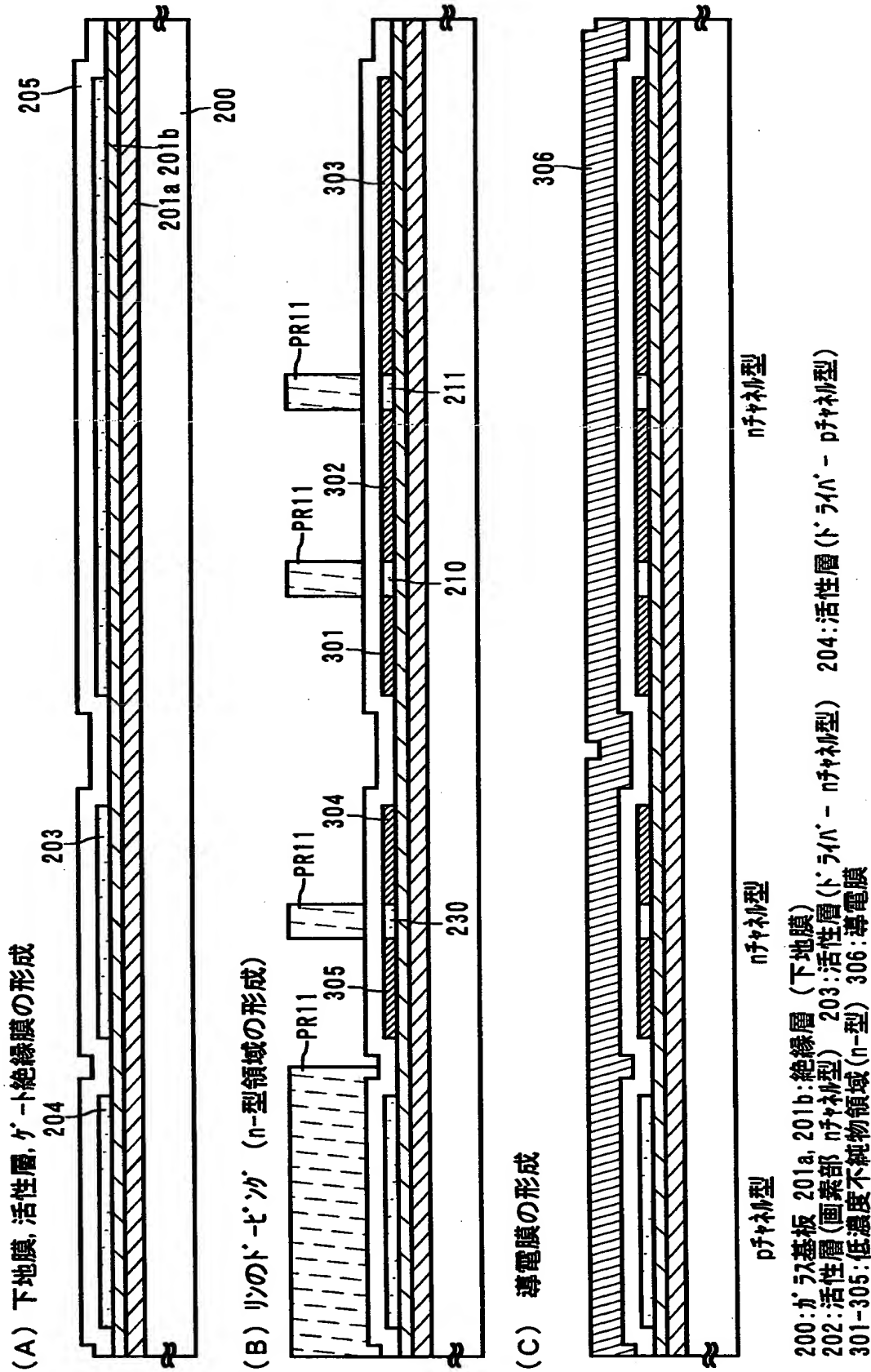
(C) I_D-V_G 特性カーブ

【図 6】



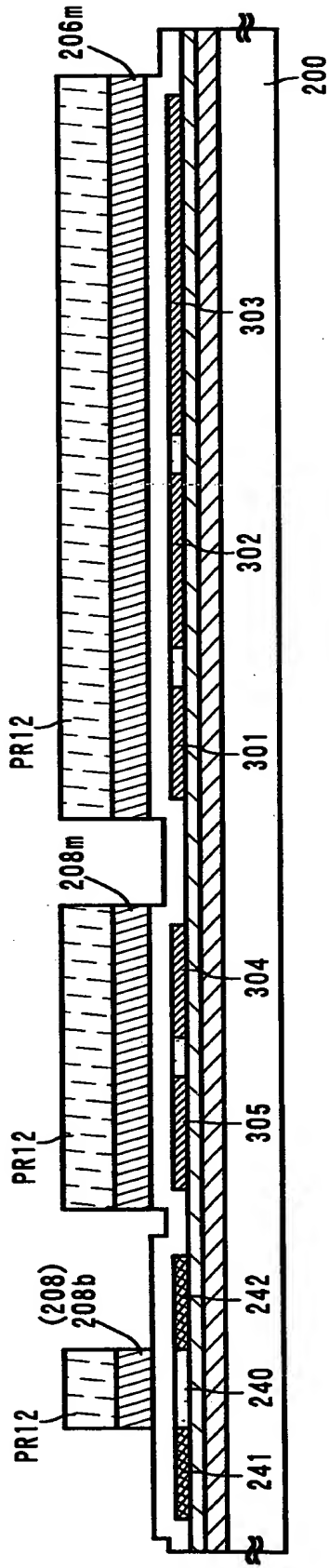
200: ガラス基板 201a, 201b: 絶縁層 205: ゲート絶縁膜 206, 208: ゲート配線 207: 保持容量配線
 210, 211: チャネル形成領域 212-214: 高濃度不純物領域 (n+型) 215-223: 低濃度不純物領域 (n-型)
 230: チャネル形成領域 231, 232: 高濃度不純物領域 (n+型) 233, 234: 低濃度不純物領域 (n-型)
 240: チャネル形成領域 241, 242: 高濃度不純物領域 (p+型)
 250: 窒化シリコン膜 251: 層間絶縁膜 252: ソース配線 253: ドレイン電極 254, 255: ソース配線 256: ドレイン配線
 257: 窒化シリコン膜 258: 平坦化膜 260: 画素電極 261: 配向膜

【図 7】

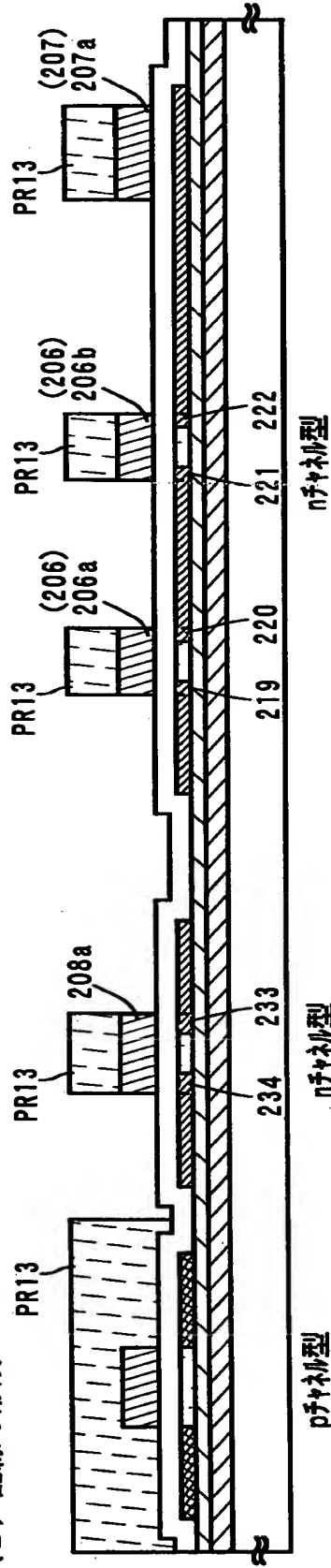


【図 8】

(A) ポリドローイング (p+型領域の形成)



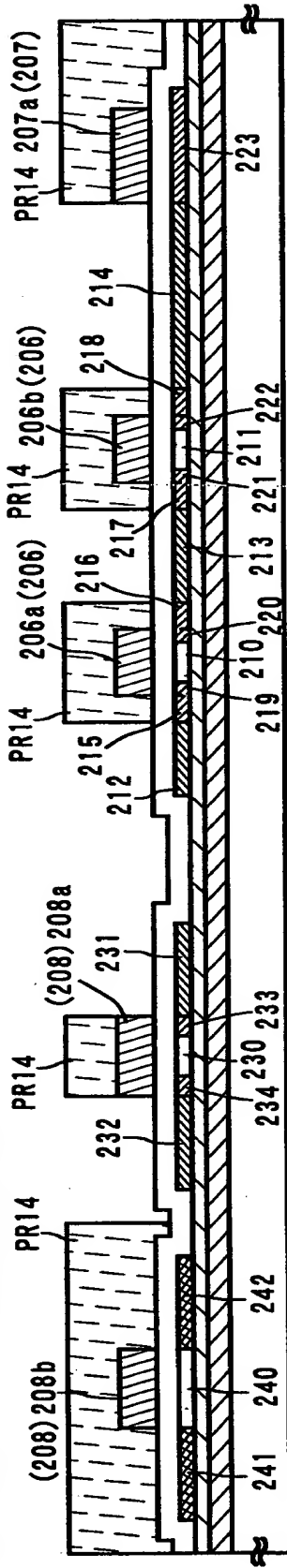
(B) 配線の形成



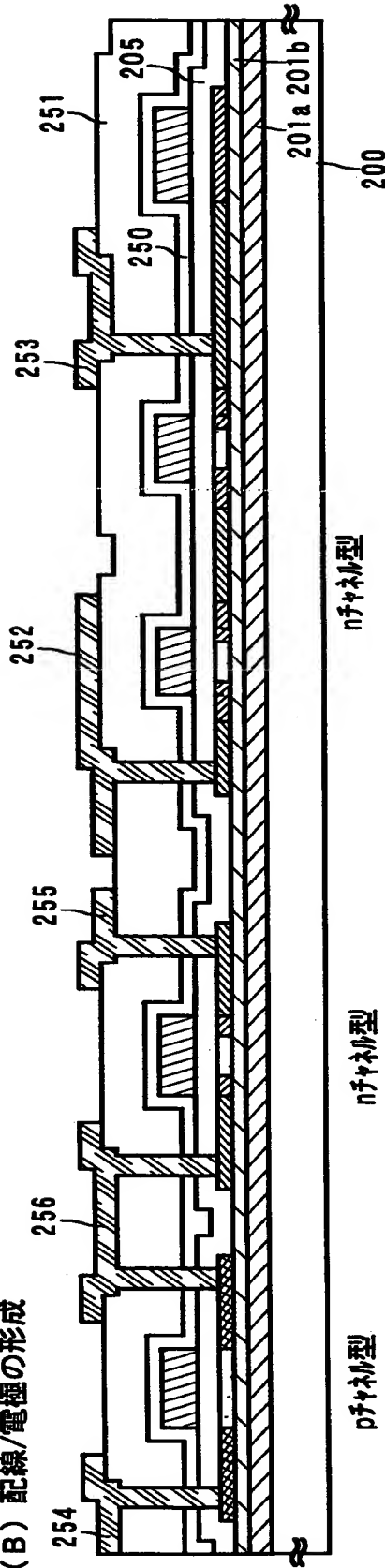
200: ガラス基板 201a, 201b: 絶縁層 (下地膜)
 202: 活性層 (要素部 nチャネル型) 203: 活性層 (ドライバ nチャネル型) 204: 活性層 (ドライバ pチャネル型)
 205: ゲート絶縁膜 206, 208: ゲート配線 207: 容量用配線 219-222, 233, 234: 低濃度不純物領域 (n-型)
 240: チャネル形成領域 241, 242: 高濃度不純物領域 (p+型)
 301-305: 低濃度不純物領域 (n-型)

【図 9】

(A) リンのド・ピン' (n型領域の形成)

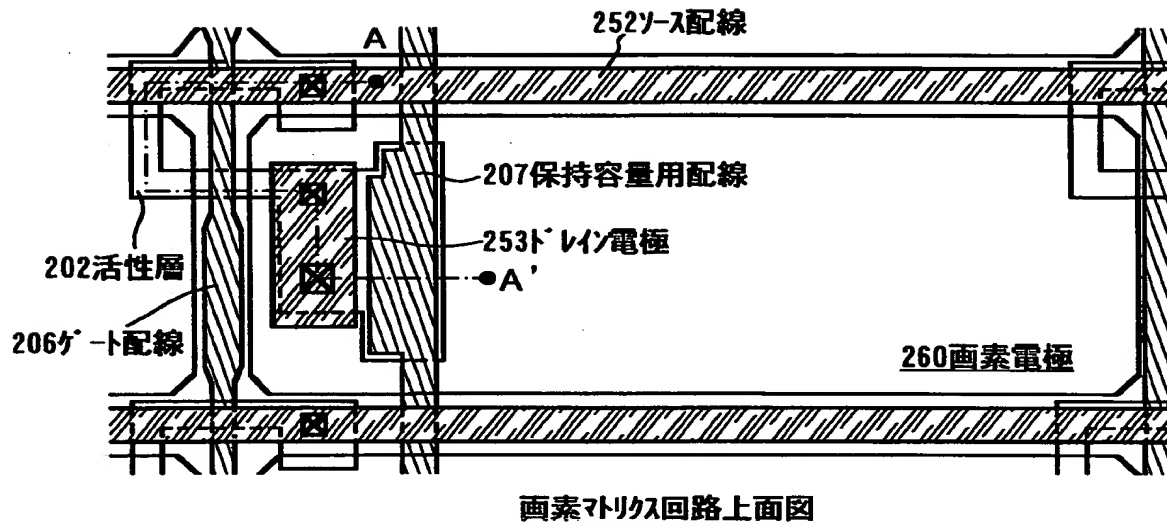


(B) 配線/電極の形成

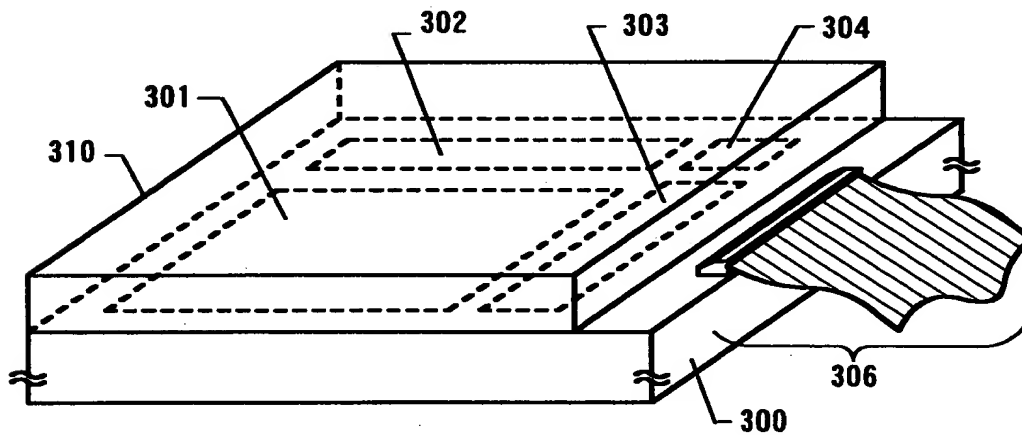


200: ガラス基板 201a, 201b: 絶縁層 (下地膜) 205: ゲート絶縁膜 206, 208: ゲート配線 207: 保持容量配線
 210, 211: チャネル形成領域 212-214: 高濃度不純物領域 (n+型) 215-223: 低濃度不純物領域 (n-型)
 230: チャネル形成領域 231, 232: 高濃度不純物領域 (n+型) 233, 234: 低濃度不純物領域 (n-型)
 240: チャネル形成領域 241, 242: 高濃度不純物領域 (p+型)
 250: 窒化シリコン膜 251: 層間絶縁膜 252: ソース配線 253: ドレイン電極 254, 255: ソース配線 256: ドレイン配線

【図 10】

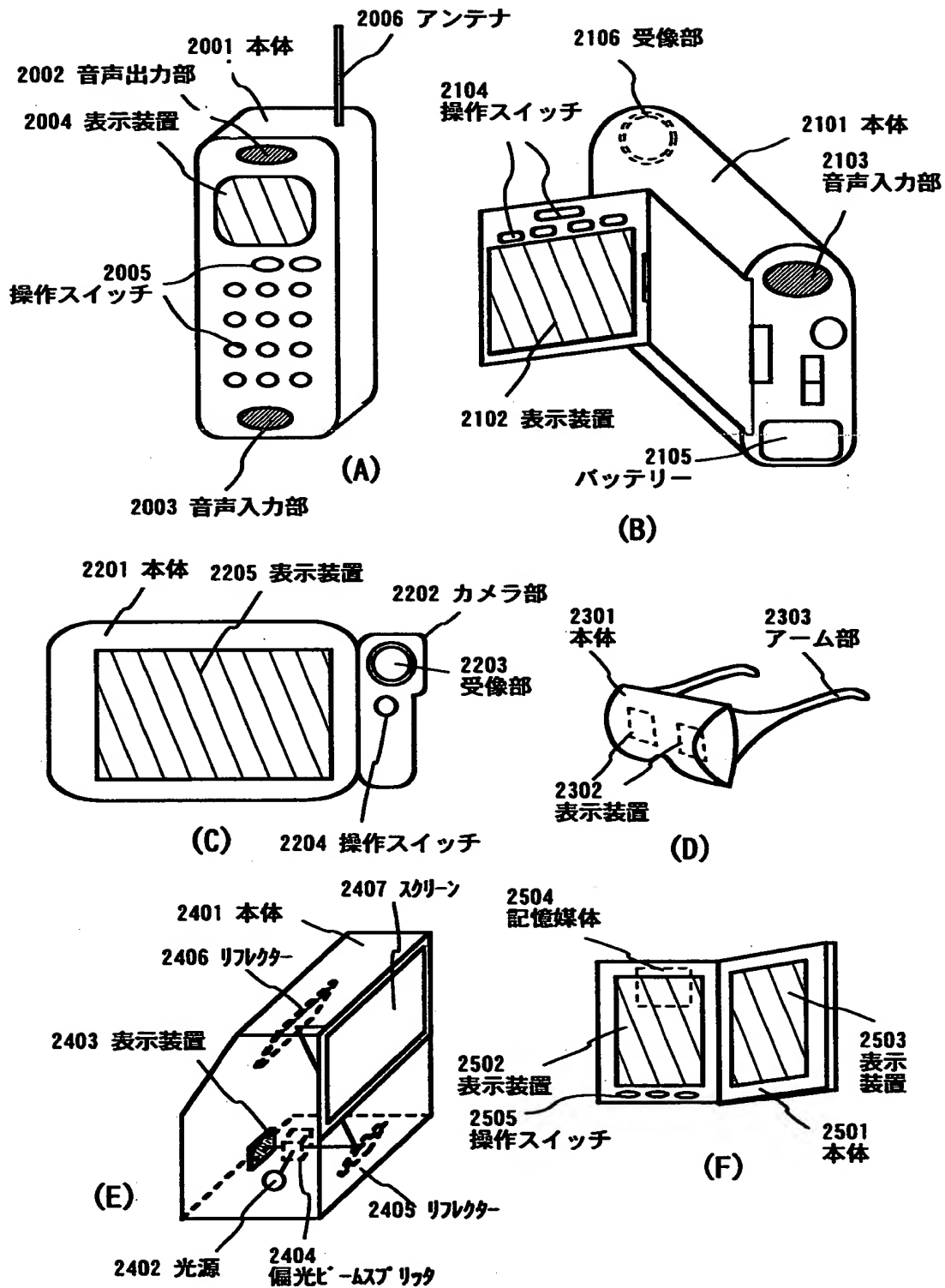


【図 11】



- 300 : アクティブマトリクス基板
 301 : 画素マトリクス回路 302 : ゲートドライバ回路
 303 : ソースドライバ回路 304 : 信号処理回路
 306 : FPC
 310 : 対向基板

【図 12】



【書類名】 要約書

【要約】

【課題】 T F T の劣化を防止する。

【解決手段】 薄膜トランジスタの半導体層と基板の間に、S i の濃度に対する N の濃度比が 0 . 3 以上 1 . 6 以下である酸窒化シリコン膜を形成することにより、B T 試験による T F T の劣化を防止する。

【選択図】 図 4

【書類名】 手続補正書
【提出日】 平成11年 3月24日
【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 平成11年特許願第 76992号

【補正をする者】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 早川 昌彦

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 坂間 光範

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 鳥海 聡志

【その他】 補正の理由は、氏名の「昌」を誤って漢字変換し、「雅」とした誤記を訂正するためである。

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所